

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2000-58759
(P2000-58759A)

(43)公開日 平成12年 2 月25日 (2000. 2. 25)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード(参考)
H 0 1 L 27/04		H 0 1 L 27/04	P 5 F 0 3 8
21/822		21/82	W 5 F 0 6 4
21/82			

審査請求 有 請求項の数7 O L (全 6 頁)

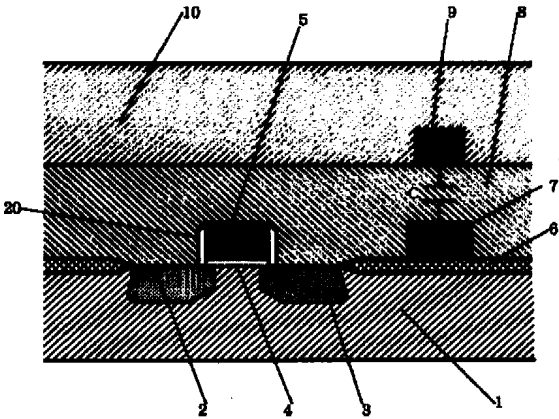
(21)出願番号	特願平10-227468	(71)出願人	000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(22)出願日	平成10年 8 月12日 (1998. 8. 12)	(72)発明者	篠塚 宏和 東京都港区芝五丁目7番1号 日本電気株式会社内
		(74)代理人	100096035 弁理士 中澤 昭彦
		Fターム(参考)	5F038 AC05 BH19 CD02 CD14 EZ20 5F064 DD34 EE32 EE36 EE52

(54)【発明の名称】 半導体集積回路及びその製造方法

(57)【要約】

【課題】信号配線の配置に制約を生じることなく、電源線の電位変動を抑えて安定した電力供給を行い、回路内の論理ゲートを正常に動作させることができる半導体集積回路及びその製造方法を提供する。

【解決手段】半導体基板1と、その半導体基板1の素子分離領域6上に設けられた導体部7と、その導体部7の上部に層間絶縁膜8を介して導体部7と略平行に配置されたVDD電源線9と、を有し、VDD電源線9は第1の電位を有し、導体部7は、第1の電位と異なる第2の電位を有する。



- 1 半導体基板
- 2 第1の拡散領域
- 3 第2の拡散領域
- 4 ゲート酸化膜
- 5 ゲートポリシリコン膜
- 6 素子分離領域
- 7 導体部
- 8 第1の層間絶縁膜
- 9 VDD電源線
- 10 第2の層間絶縁膜

【特許請求の範囲】

【請求項1】半導体基板と、その半導体基板の素子分離領域上に設けられた導体部と、その導体部の上部に層間絶縁膜を介して前記導体部と略平行に配置された第1の電源線と、を有し、

前記第1の電源線は第1の電位を有し、前記導体部は、第1の電位と異なる第2の電位を有することを特徴とする半導体集積回路。

【請求項2】前記導体部と電氣的に接続され、第2の電位を有する第2の電源線を有することを特徴とする請求項1に記載の半導体集積回路。

【請求項3】前記第1の電源線はVDD電源線であり、第2の電源線はVSS電源線であることを特徴とする請求項2に記載の半導体集積回路。

【請求項4】前記第1の電源線はVSS電源線であり、第2の電源線はVDD電源線であることを特徴とする請求項2に記載の半導体集積回路。

【請求項5】前記導体部は、ポリシリコンで作られることを特徴とする請求項1乃至4のいずれか1つの項に記載の半導体集積回路。

【請求項6】半導体基板上に素子分離領域を形成する工程と、

前記半導体基板上にゲートを構成する膜を形成すると同時に、前記素子分離領域上に導体部を形成する工程と、前記導体部の上部に層間絶縁膜を介して前記導体部と略平行に配置された電源線を形成する工程と、を有し前記電源線と導体部とは異なる電位を有することを特徴とする半導体集積回路の製造方法。

【請求項7】前記ゲートを構成する膜及び導体部は、ポリシリコンで作られることを特徴とする請求項6に記載の半導体集積回路の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路及びその製造方法に関し、特に、電源線の電位変動を抑えて安定した電力供給を行い、回路内の論理ゲートを正常に動作させるための半導体集積回路及びその製造方法に関する。

【0002】

【従来の技術】近年、半導体集積回路の大規模化、高集積化に伴い、論理ゲート内部のトランジスタからの発生電流（いわゆる貫通電流）が電源線へ流量すること等により電源線の電位が変動し、その結果、回路内部の論理ゲートの動作遅延や誤動作を招くことがあった。そこで、電源線の電位変動を抑えて安定した電力供給を行い、トランジスタのスイッチング動作（ON/OFF動作）を安定化させ、論理ゲートの正常動作を保証する半導体集積回路の電源線配線方法が、例えば、特開平9-45860号公報等に提案されている。

【0003】図5は、この種の従来の半導体集積回路の

電源線配線方法（以下、従来例1という）を示す断面図である。図5に示すように、半導体基板30には拡散領域31が形成されるとともに、ゲートを構成するゲート酸化膜32及びゲートポリシリコン膜33が積層される。また、半導体基板30には素子間を電氣的に絶縁分離するためのフィールド酸化膜からなる素子分離領域34が形成される。拡散領域31、ゲートポリシリコン膜33及び素子分離領域34上には第1の層間絶縁膜35が形成され、その第1の層間絶縁膜35上には、互いに異なる電位を有する第1の電源線36と第2の電源線37とが略平行に設けられている。第1の電源線36と第2の電源線37は第2の層間絶縁膜38によって被覆される。

【0004】従来例1によれば、互いに電位の異なる2本の電源線36、37を略平行に配線することにより、配線間容量Cを作ることができ、その配線間容量Cによって電位の変動を抑えることができる。

【0005】また、図6は他の従来の半導体集積回路の電源線配線方法（以下、従来例2という）を示す断面図である。図6に示すように、第1の層間絶縁膜35上に設けられた電源線40と、その電源線40とは異なる電位を有し、層間絶縁膜38を介して上部に配置された金属配線層41とが略平行に設けられている。

【0006】従来例2によれば、互いに電位の異なる電源線40及び金属配線層41とを略平行に配線することにより、配線間容量Cを作ることができ、その配線間容量Cによって電位の変動を抑えることができる。

【0007】

【発明が解決しようとする課題】しかし、従来例1では、信号配線領域である層間絶縁膜38に容量Cが作られるので、例えば、電源線間を交差するように信号線が引けない等、信号配線の配置に制約が生じる。

【0008】また、従来例2では、信号配線領域である層間絶縁膜38の上部に金属配線層41が設けられているので、例えば、電源線40と金属配線層41との間を交差するように信号線が引けない等、信号配線の配置に制約が生じる。

【0009】本発明は、上記課題を解決するためになされたものであり、信号配線の配置に制約を生じることなく、電源線の電位変動を抑えて安定した電力供給を行い、回路内の論理ゲートを正常に動作させることができる半導体集積回路及びその製造方法を提供することを目的とする。

【0010】

【課題を解決するための手段】本発明の半導体集積回路は、半導体基板と、その半導体基板の素子分離領域上に設けられた導体部と、その導体部の上部に層間絶縁膜を介して導体部と略平行に配置された第1の電源線と、を有し、第1の電源線は第1の電位を有し、導体部は、第1の電位と異なる第2の電位を有することを特徴とする

10

20

30

40

50

3

ものである。

【0011】上記導体部と電氣的に接続され、第2の電位を有する第2の電源線を有してもよい。

【0012】第1の電源線はVDD電源線であり、第2の電源線はVSS電源線であり、また、第1の電源線はVSS電源線であり、第2の電源線はVDD電源線であってもよい。

【0013】導体部は、例えばポリシリコンで作られるのが好ましい。

【0014】本発明の半導体集積回路の製造方法は、半導体基板上に素子分離領域を形成する工程と、半導体基板上にゲートを構成する膜を形成すると同時に、素子分離領域上に導体部を形成する工程と、導体部の上部に層間絶縁膜を介して導体部と略平行に配置された電源線を形成する工程と、を有し、電源線と導体部とは異なる電位を有することを特徴とするものである。

【0015】上記ゲートを構成する膜及び導体部は、例えばポリシリコンで作られるのが好ましい。

【0016】本発明の半導体集積回路によれば、互いに異なる電位を有する電源線と導体部とが略平行に配置されているので、両者の間に容量を作ることができる。

【0017】また、本発明の半導体集積回路によれば、信号配線領域である層間絶縁膜に容量を作らないので、信号配線を配置しやすくなる。

【0018】本発明の半導体集積回路の製造方法によれば、ゲートを構成する膜と導体部とを同時に形成するので、別工程で金属配線を形成する場合に比較して工程数を短縮できる。

【0019】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して説明する。図1は本発明の半導体集積回路を示す平面図、図2は図1のII-II線断面図である。なお、図1では簡単化のため層間絶縁膜を省略している。

【0020】図1及び図2に示すように、半導体基板1には第1の拡散領域2及び第2の拡散領域3が形成されるとともに、第1の拡散領域2及び第2の拡散領域3の間にゲートを構成するゲート酸化膜4及びゲートポリシリコン膜5が積層される。なお、ゲートポリシリコン膜5の側面には酸化膜20が設けられる。また、半導体基板1には素子間を電氣的に絶縁分離するためのフィールド酸化膜からなる素子分離領域6が形成され、その素子分離領域6上には、ポリシリコン膜からなる導体部7が形成される。

【0021】拡散領域2、3、ゲートポリシリコン膜5、素子分離領域6及び導体部7上には第1の層間絶縁膜8が形成され、その第1の層間絶縁膜8上には、導体部7と略平行に配置されたVDD電源線9（高電位側電源線）が設けられる。VDD電源線9は第2の層間絶縁膜10によって被覆される。

(3)

特開2000-58759

4

【0022】図1に示すように、VDD電源線9はコンタクトホール11を介して第1の拡散領域2と電氣的に接続され、第1の電位を有する。また、導体部7はVSS電源線（低電位側電源線）12とコンタクトホール13を介して電氣的に接続されている。VSS電源線12はコンタクトホール14を介して第2の拡散領域3と電氣的に接続されている。従って、導体部7はVSS電源線12と等電位であり、第1の電位と異なる第2の電位を有する。

10 【0023】本発明の半導体集積回路によれば、互いに異なる電位を有するVDD電源線9と導体部7とが略平行に配置されているので、両者の間に容量C（図2参照）を作ることができ、その容量Cによって電位の変動を抑えることができる。その結果、安定した電力供給を行い、回路内の論理ゲートを正常に動作させることができ、信頼性の高い半導体装置を得ることができる。

【0024】図4（A）及び（B）は本発明の半導体集積回路の原理を説明するための回路図である。図4

（A）に示すように、VDD電源線9側の配線抵抗をRとし、VSS電源線12側の配線抵抗をrとする。VDD電源線9と導体部7との間にできる容量（キャパシタンス）をCとする。回路動作時のトランジスタからの発生電流であり、VDD電源線9とVSS電源線12との間に生じた電流源15から発生する電流をiとする。

20 【0025】図4（B）は、トランジスタからの発生電流である貫通電流が生じることを説明するための回路図である。例えば、図4（B）に示すCMOSインバータ回路では、pチャネルトランジスタ16は入力電圧が所定電圧よりも低いとON状態となり、nチャネルトランジスタ17は入力電圧が所定電圧よりも高いとON状態となる。しかし、電圧が変化する過程で、pチャネルトランジスタ16及びnチャネルトランジスタ17が同時にON状態になる時があり、その時に電源端子VDDからグラウンドに流れる貫通電流iが発生する。

40 【0026】ここで、VDD電源線9とVSS電源線12との間の電流源15に上述した電流iが生じた場合には、配線抵抗R、rを有するVDD電源線9とVSS電源線12に電流iが流れるため、配線抵抗による電圧の変動はRiとなる。一方、回路には容量Cを備えているので、電流源15で発生する電流iの変動により容量電流icが生じることになる。従って、配線抵抗R、rを有するVDD電源線9とVSS電源線12に電流(i-i_c)が流れるため、配線抵抗による電圧の変動はR(i-i_c)、r(i-i_c)となる。従って、VDD電源線9とVSS電源線12は双方ともRi_c、ri_cだけ電圧変動を小さくすることができる。このように電位差を一定に保持しようとする働きが生じるため、電源線の電圧降下の幅を最小限に抑えて安定した電力供給を行なうことができる。

50 【0027】また、本発明の半導体集積回路によれば、

信号配線領域である第2の層間絶縁膜10に容量を作らないので、信号配線を配置しやすくなる。

【0028】さらに、容量Cには面積S、層間距離d、比誘電率 ϵ の間に $C = \epsilon S / d$ の関係が成り立っている。従って、第1の層間絶縁膜8に第2の層間絶縁膜10より ϵ の大きな素材を用いることにより、十分な容量を作ることができる。その結果、電源線の電圧変動を抑え、安定した電力供給を行うことができる。

【0029】なお、導体部7は、所定の電位を有しVDD電源線9との間に容量を作ることができればどのような物質で作られてもよいが、作りやすさ及び材質の抵抗率を考慮すると、ポリシリコンで作られるのが好ましい。

【0030】図3は、本発明の半導体集積回路の製造方法を工程順に示す断面図である。まず、半導体基板1に素子分離領域6を形成した後、第1の拡散領域2及び第2の拡散領域3を形成する。そして、第1の拡散領域2及び第2の拡散領域3の間にゲート酸化膜4を形成する(図3(A)参照)。

【0031】次いで、半導体基板1上にゲートを構成するゲートポリシリコン膜5を形成すると同時に、素子分離領域6上にポリシリコン膜からなる導体部7を形成する。なお、ゲートポリシリコン膜5の側面に酸化膜20が形成される(図3(B)参照)。

【0032】次いで、拡散領域2、3、ゲートポリシリコン膜5、素子分離領域6及び導体部7上に第1の層間絶縁膜8を形成し、その第1の層間絶縁膜8上に、導体部7と略平行に配置されたVDD電源線9を設ける(図3(C)参照)。

【0033】その後、VDD電源線9は第2の層間絶縁膜10によって被覆され、本発明の半導体集積回路を得ることができる。

【0034】本発明の半導体集積回路の製造方法によれば、ゲートポリシリコン膜5と導体部7とを同時に形成するので、別工程で金属配線を形成する場合に比較して工程数を短縮でき、生産性を向上させることができる。

【0035】本発明は、上記実施の形態に限定されることなく、特許請求の範囲に記載された技術的事項の範囲内において、種々の変更が可能である。例えば、図2に示す電源線9をVSS電源線とし、半導体素子に接続する部分を有しているものとし、電源線と異なる電位

(VDD電源線と同電位)に導体部7の電位を固定し、VSS電源線との間に容量Cを作るようにしてもよい。

【0036】

【発明の効果】本発明の半導体集積回路によれば、互いに異なる電位を有する電源線と導体部とが略平行に配置されているので、両者の間に容量を作ることができ、その容量によって電位の変動を抑えることができる。その結果、安定した電力供給を行い、回路内の論理ゲートを正常に動作させることができ、信頼性の高い半導体装置を得ることができる。

【0037】また、本発明の半導体集積回路によれば、信号配線領域である層間絶縁膜に容量を作らないので、信号配線を配置しやすくなる。

【0038】本発明の半導体集積回路の製造方法によれば、ゲートを構成する膜と導体部とを同時に形成するので、別工程で金属配線を形成する場合に比較して工程数を短縮でき、生産性を向上させることができる。

【図面の簡単な説明】

【図1】本発明の半導体集積回路を示す平面図である。

【図2】図1のII-II線断面図である。

【図3】本発明の半導体集積回路の製造方法を工程順に示す断面図である。

【図4】(A)及び(B)は、本発明の半導体集積回路の原理を説明するための回路図である。

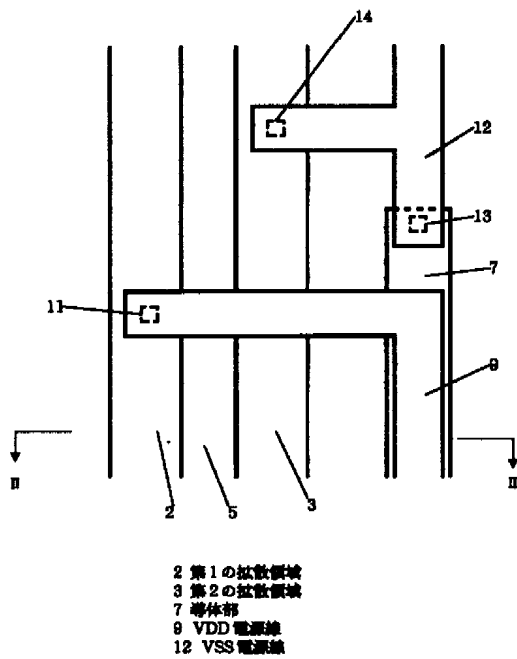
【図5】従来例1の半導体集積回路の電源線配線方法を示す断面図である。

【図6】従来例2の半導体集積回路の電源線配線方法を示す断面図である。

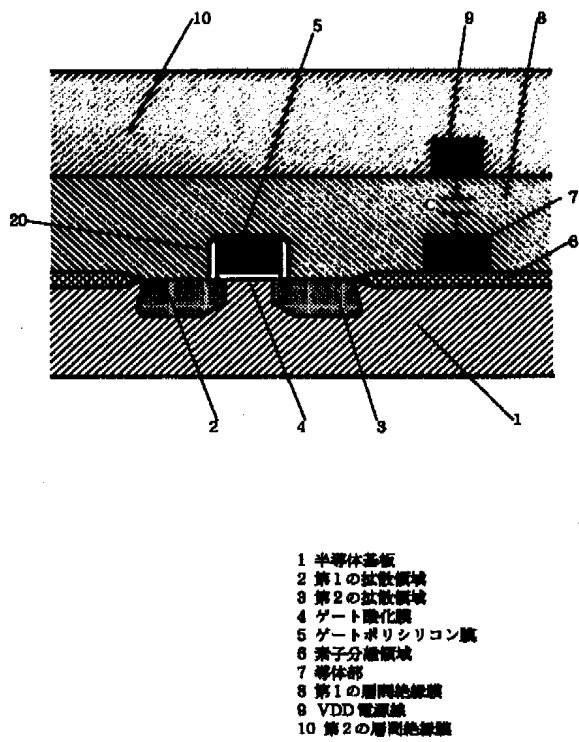
【符号の説明】

- 1：半導体基板
- 2：第1の拡散領域
- 3：第2の拡散領域
- 4：ゲート酸化膜
- 5：ゲートポリシリコン膜
- 6：素子分離領域
- 7：導体部
- 8：第1の層間絶縁膜
- 9：VDD電源線
- 10：第2の層間絶縁膜
- 12：VSS電源線
- C：容量

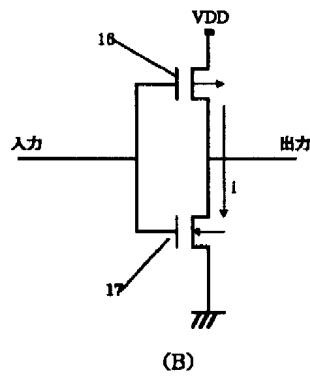
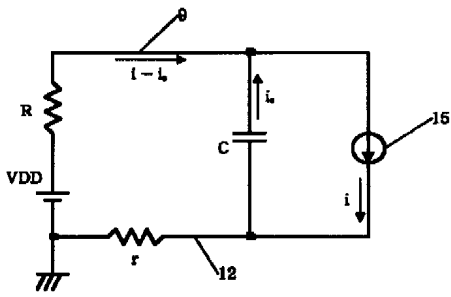
【図1】



【図2】



【図4】



【図5】

